

5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74486

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 1 L 27/108		H 0 1 L 27/10 6 5 1
21/8242		21/316 X
21/316		27/10 4 5 1
21/768		21/90 A
27/10	4 5 1	27/10 6 2 1 Z
審査請求 有 請求項の数27 O L (全 15 頁)		

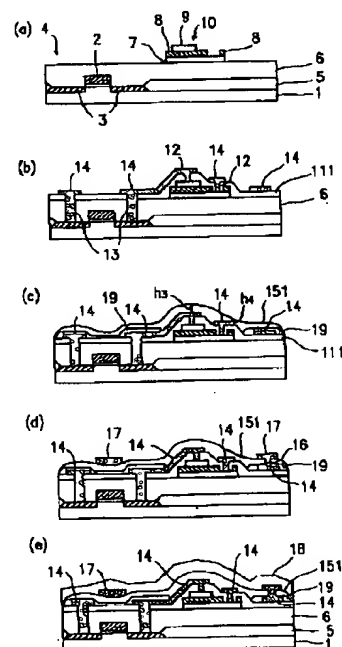
(21) 出願番号	特願平10-176444	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成10年(1998) 6月23日	(72) 発明者	長野 能久 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(31) 優先権主張番号	特願平9-166991	(72) 発明者	久都内 知恵 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(32) 優先日	平9(1997) 6月24日	(72) 発明者	十代 勇治 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 山本 秀策
		最終頁に続く	

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 容量素子に作用するストレスに起因した特性の劣化を抑制して、容量素子が優れた特性を発揮し得る構造を有する半導体装置を提供する。

【解決手段】 半導体装置が、半導体集積回路が形成されている支持基板の上に形成された、下部電極と容量絶縁膜と上部電極とを有する容量素子と、該容量素子を覆うように形成された第1の保護絶縁膜と、該第1の保護絶縁膜に設けられた第1のコンタクトホールを介して該半導体集積回路及び該容量素子に電気的に接続されている、該第1の保護絶縁膜の上に選択的に形成された第1の配線層と、該第1の配線層を覆うように形成された、オゾンTEOS膜からなる第2の保護絶縁膜と、該第2の保護絶縁膜に設けられた第2のコンタクトホールを介して該第1の配線層に電気的に接続されている、該第2の保護絶縁膜の上に選択的に形成された第2の配線層と、該第2の配線層を覆うように形成された第3の保護絶縁膜と、を備える。



## 【特許請求の範囲】

【請求項 1】 半導体集積回路が形成されている支持基板の上に形成された、下部電極と容量絶縁膜と上部電極とを有する容量素子と、

該容量素子を覆うように形成された第 1 の保護絶縁膜と、

該第 1 の保護絶縁膜に設けられた第 1 のコンタクトホールを介して該半導体集積回路及び該容量素子に電氣的に接続されている、該第 1 の保護絶縁膜の上に選択的に形成された第 1 の配線層と、

該第 1 の配線層を覆うように形成された、オゾン T E O S 膜からなる第 2 の保護絶縁膜と、

該第 2 の保護絶縁膜に設けられた第 2 のコンタクトホールを介して該第 1 の配線層に電氣的に接続されている、該第 2 の保護絶縁膜の上に選択的に形成された第 2 の配線層と、

該第 2 の配線層を覆うように形成された第 3 の保護絶縁膜と、を備える、半導体装置。

【請求項 2】 前記容量絶縁膜は、高誘電率を有する誘電体膜、或いは強誘電体膜から形成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の配線層は、前記容量素子の少なくとも一部を覆うように前記第 2 の保護絶縁膜の上に形成されている、請求項 1 に記載の半導体装置。

【請求項 4】 前記第 3 の保護絶縁膜は、酸化シリコン膜と窒化シリコン膜との積層膜である、請求項 1 に記載の半導体装置。

【請求項 5】 前記第 1 の配線層と前記第 2 の保護絶縁膜との間であって、前記容量素子が形成されている箇所を除く領域に形成された水素供給膜を更に備えている、請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の配線層が、チタンと窒化チタンとアルミニウムと窒化チタンとの積層膜、チタンと窒化チタンとアルミニウムとの積層膜、チタンとチタンタンゲステンとアルミニウムとチタンタンゲステンとの積層膜、或いはチタンとチタンタンゲステンとアルミニウムとの積層膜である、請求項 1 に記載の半導体装置。

【請求項 7】  $3450\text{ cm}^{-1}$  に相当する波長に対する前記第 2 の保護絶縁膜の  $\text{Si}-\text{OH}$  結合吸収係数が  $800\text{ cm}^{-1}$  以下である、請求項 1 に記載の半導体装置。

【請求項 8】 前記第 2 の保護絶縁膜が、 $1 \times 10^7\text{ dyn/cm}^2$  以上且つ  $3 \times 10^9\text{ dyn/cm}^2$  以下のテンサイルストレスを有している、請求項 1 に記載の半導体装置。

【請求項 9】 前記第 2 の保護絶縁膜の厚さが  $0.3\text{ }\mu\text{m}$  以上且つ  $1\text{ }\mu\text{m}$  以下である、請求項 1 に記載の半導体装置。

【請求項 10】 前記第 2 の配線層が、チタンとアルミニウムと窒化チタンとの積層膜、チタンとアルミニウムとの積層膜、或いはチタンとアルミニウムとチタンタン

グステンとの積層膜である、請求項 1 に記載の半導体装置。

【請求項 11】 半導体集積回路が形成されている支持基板の上に、下部電極と容量絶縁膜と上部電極とを順次形成して容量素子を形成する工程と、

該容量素子を覆うように第 1 の保護絶縁膜を形成する工程と、

該第 1 の保護絶縁膜に第 1 のコンタクトホールを形成する工程と、

10 該半導体集積回路及び該容量素子に電氣的に接続する第 1 の配線層を、該第 1 のコンタクトホールの中と該第 1 の保護絶縁膜の上の所定の領域とに選択的に形成する工程と、

該第 1 の配線層を覆う第 2 の保護絶縁膜をオゾン T E O S 膜から形成する工程と、

該第 2 の保護絶縁膜に第 1 の熱処理を施す工程と、

該第 2 の保護絶縁膜に第 2 のコンタクトホールを形成する工程と、

20 該第 1 の配線層に電氣的に接続する第 2 の配線層を、該第 2 のコンタクトホールの中と該第 2 の保護絶縁膜の上の所定の領域とに選択的に形成する工程と、

該第 2 の配線層に第 2 の熱処理を施す工程と、

該第 2 の配線層を覆う第 3 の保護絶縁膜を形成する工程と、を包含する、半導体装置の製造方法。

【請求項 12】 前記容量絶縁膜を、高誘電率を有する誘電体膜、或いは強誘電体膜から形成する、請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記第 2 の配線層をマスクとして使用して、前記第 2 の保護絶縁膜を、前記第 1 の配線層が露出しない程度までエッチバックする工程を更に含む、請求項 11 に記載の半導体装置の製造方法。

【請求項 14】 前記第 2 の配線層を、前記容量素子の少なくとも一部を覆うように前記第 2 の保護絶縁膜の上に形成する、請求項 11 に記載の半導体装置の製造方法。

【請求項 15】 前記第 3 の保護絶縁膜を酸化シリコン膜と窒化シリコン膜との積層膜として形成し、

該酸化シリコン膜を、常圧 C V D 法、減圧 C V D 法、或いはプラズマ C V D 法によって、シラン、ジシラン、或いはオゾン T E O S を用いて、テンサイルストレスを有するように形成する、請求項 11 に記載の半導体装置の製造方法。

【請求項 16】 前記第 1 の配線層の形成後に、前記容量素子が形成されている領域を除く該第 1 の配線層の上に水素供給膜を形成し、その後第 3 の熱処理を施す工程を更に含む、請求項 11 に記載の半導体装置の製造方法。

【請求項 17】 前記水素供給膜を、プラズマ C V D 法によって窒化シリコン膜或いは窒化酸化シリコン膜から形成する、請求項 16 に記載の半導体装置の製造方法。

【請求項 18】 前記水素供給膜の形成後の前記第 3 の熱処理が、300℃以上且つ 450℃以下の温度で実施される、請求項 16 に記載の半導体装置の製造方法。

【請求項 19】 前記水素供給膜の形成後の前記第 3 の熱処理が、酸素、窒素、アルゴン、或いはこれらの混合ガスの雰囲気中で実施される、請求項 16 に記載の半導体装置の製造方法。

【請求項 20】 前記第 1 の保護絶縁膜を、常圧 CVD 法或いは減圧 CVD 法によってシラン、ジシラン、或いはオゾン TEOs を用いて形成された酸化シリコン膜によって構成する、請求項 11 に記載の半導体装置の製造方法。

【請求項 21】 前記第 1 の保護絶縁膜を、常圧 CVD 法或いは減圧 CVD 法によって形成されたリンドープ酸化シリコン膜によって構成する、請求項 11 に記載の半導体装置の製造方法。

【請求項 22】 前記オゾン TEOs 膜を用いて前記第 2 の保護絶縁膜を形成する際のオゾン濃度を 5.5% 以上に設定する、請求項 11 に記載の半導体装置の製造方法。

【請求項 23】 前記第 1 の熱処理後の前記第 2 の保護絶縁膜が  $1 \times 10^7 \text{ dyn/cm}^2$  以上且つ  $2 \times 10^9 \text{ dyn/cm}^2$  以下のテンサイルストレスを有している、請求項 11 に記載の半導体装置の製造方法。

【請求項 24】 前記第 1 の熱処理が、300℃以上且つ 450℃以下の温度で実施される、請求項 11 に記載の半導体装置の製造方法。

【請求項 25】 前記第 1 の熱処理が、少なくとも酸素を含む雰囲気中で実施される、請求項 11 に記載の半導体装置の製造方法。

【請求項 26】 前記第 2 の熱処理が、300℃以上且つ 450℃以下の温度で実施される、請求項 11 に記載の半導体装置の製造方法。

【請求項 27】 前記第 2 の熱処理が、窒素、アルゴン、及びヘリウムのうちの少なくとも 1 つを含む雰囲気中で実施される、請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電率を有する誘電体膜或いは強誘電体膜を容量絶縁膜とする容量素子を備える半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】近年、マイクロコンピュータの高速化や低消費電力化と共に民生用電子電気機器の機能が一段と高度化するにつれて、その中で使用される半導体装置における半導体素子の微細化が、急速に進展している。それに伴って、電子電気機器から発生する電磁波雑音である不要輻射が、大きな問題となっている。

【0003】この不要輻射を低減する目的で、高誘電率

を有する誘電体（以下、「高誘電体」と称する）の膜を容量絶縁膜として使用して大容量の容量素子を半導体素子などに内蔵する技術が、注目を浴びている。更に、ダイナミック RAM (DRAM) の高集積化に伴って、容量絶縁膜として、従来から使用されてきた酸化シリコン膜或いは窒化シリコン膜に代わって、高誘電体膜を使用する技術が、広く研究されている。

【0004】また、低電圧で動作可能で且つ高速の書き込み及び読み出しが可能な不揮発性 RAM の実用化を実現するために、自発分極特性を有する強誘電体膜に関する研究開発が、盛んに行われている。

【0005】上記のような特徴を備えた半導体装置を実現する際の最重要課題は、容量素子の特性を劣化させることなく多層配線を実現できる構造、及びその製造プロセスを開発することである。

【0006】以下では、図面を参照しながら、従来技術における半導体装置の製造方法の一例を説明する。図 10 (a) ~ (e) は、ある従来の半導体装置 500 の製造方法の各工程を説明する断面図である。

【0007】まず、図 10 (a) に示すように、支持基板 1 の上に、ゲート電極 1 及びソース/ドレイン領域 3 を有する MOS 電界効果トランジスタ (MOSFET) を含む集積回路 4 と、素子分離用の絶縁層 5 とを、形成する。それらの上には層間絶縁膜 6 を形成し、更にその上には、容量素子 10 の下部電極 7 となる膜を、スパッタ法或いは電子ビーム蒸着法で形成する。続いて、その上に、高誘電体或いは強誘電体で形成された容量絶縁膜 8 を有機金属堆積法、有機金属化学気相成長法、或いはスパッタ法で、更にその上に上部電極 9 となる膜をスパッタ法或いは電子ビーム蒸着法で、順次形成する。その後、上記の積層された膜 7、8、及び 9 を所望の形状にパターニングして、容量素子 10 を形成する。

【0008】次に、図 10 (b) に示すように、容量素子 10 を覆う第 1 の保護絶縁膜 11 を層間絶縁膜 6 の上に形成する。そして、第 1 の保護絶縁膜 11 を貫通して容量素子 10 の下部電極 7 或いは上部電極 9 に至るコンタクトホール 12、並びに第 1 の保護絶縁膜 11 と層間絶縁膜 6 とを貫通してソース/ドレイン領域 3 などに達するコンタクトホール 13 を、それぞれ形成する。そして、導電膜を第 1 の保護絶縁膜 11 の上とコンタクトホール 12 及び 13 の中とにスパッタ法で形成し、更に所定の形状にパターニングして、集積回路 4 と容量素子 10 とを電氣的に接続する第 1 の配線層 14 を形成する。その後、熱処理を実施する。次に、図 10 (c) に示すように、第 1 の配線層 14 を被覆する第 2 の保護絶縁膜 15 を、これまでに形成された構造の上に形成する。この第 2 の保護絶縁膜 15 は、プラズマ状態のオルト珪酸テトラエチル (TEOS) を用いてプラズマ CVD 法によって形成された酸化シリコン膜（以下では、「プラズマ TEOs 膜」と称する）、或いは、上記のようなブ

ラズマTEOS膜とSOG (silicon-on-glass) 膜との積層膜を、エッチバック法によってほぼ平坦化することによって、形成される。

【0009】その後、図10(d)に示すように、第2の保護絶縁膜15を貫通して第1の配線層14に至るコンタクトホール16を形成する。そして、第1の配線層14に電気的に接続される第2の配線層17を、第2の保護絶縁膜15の上とコンタクトホール16の中とに選択的に形成し、更に熱処理を行う。

【0010】最後に、図10(e)に示すように、第2の配線層17を覆う第3の保護絶縁膜18を、これまでに形成された構造の上に形成する。以上の工程によって、従来の半導体装置500が形成される。

【0011】

【発明が解決しようとする課題】上述の従来の半導体装置500の製造方法において、第2の保護絶縁膜15を、段差を有さずに且つその上面が十分に滑らかで、十分なステップカバレッジ特性を有するように形成する必要がある。これは、もし、第2の保護絶縁膜15に段差が存在すると、その上に形成される第2の配線層17が、その段差部で途切れる恐れがあるからである。このため、プラズマTEOS膜からなる上記の従来技術による第2の保護絶縁膜15は、容量素子10の上部電極9の上に形成された第1の配線層14の上部では、その厚さ $h_1$  (図10(c)参照)が約 $1\mu\text{m}$ 以上、高誘電体膜或いは強誘電体膜で構成された容量絶縁膜8のエッジ部の上に形成された第1の保護絶縁膜11の上では、その厚さ $h_2$  (図10(c)参照)が約 $2\mu\text{m}$ 以上に、それぞれ設定される必要がある。

【0012】しかし、一般に、単位膜厚あたりの力が一定であれば、膜が厚いほど、より強いテンサイルストレスやコンプレッションストレスが作用する。従って、上記の従来の構成のように厚い第2の保護絶縁膜15が形成されると、その下に位置する容量素子10に、大きなストレスが作用することになる。

【0013】特に、プラズマTEOS膜を使用して第2の保護絶縁膜15を形成すると、容量絶縁膜8に対してコンプレッションストレスを作用させるために、容量絶縁膜8を構成する誘電体材料の分極を妨げる作用を及ぼす。この結果として、高誘電体膜或いは強誘電体膜で構成された容量絶縁膜8の物理特性が劣化する。

【0014】なお、本願明細書中で述べる「ストレス」とは、膜を縮ませる力(以下、「テンサイルストレス」と称する)、及び/或いは、膜を膨張させる力(以下、「コンプレッションストレス」と称する)を意味する。

【0015】本発明は、上記の課題を解決するためになされたものであり、その目的は、(1)容量素子に作用するストレスに起因した特性の劣化を抑制して、容量素子が優れた特性を発揮し得る構造を有する半導体装置を提供すること、及び(2)そのような半導体装置の製造

方法を提供すること、である。

【0016】

【課題を解決するための手段】本発明の半導体装置は、半導体集積回路が形成されている支持基板の上に形成された、下部電極と容量絶縁膜と上部電極とを有する容量素子と、該容量素子を覆うように形成された第1の保護絶縁膜と、該第1の保護絶縁膜に設けられた第1のコンタクトホールを介して該半導体集積回路及び該容量素子に電気的に接続されている、該第1の保護絶縁膜の上に選択的に形成された第1の配線層と、該第1の配線層を覆うように形成された、オゾンTEOS膜からなる第2の保護絶縁膜と、該第2の保護絶縁膜に設けられた第2のコンタクトホールを介して該第1の配線層に電気的に接続されている、該第2の保護絶縁膜の上に選択的に形成された第2の配線層と、該第2の配線層を覆うように形成された第3の保護絶縁膜と、を備えており、そのことによって上記の目的が達成される。

【0017】ある実施形態では、前記容量絶縁膜は、高誘電率を有する誘電体膜、或いは強誘電体膜から形成されている。

【0018】ある実施形態では、前記第2の配線層は、前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜の上に形成されている。

【0019】前記第3の保護絶縁膜は、酸化シリコン膜と窒化シリコン膜との積層膜であり得る。

【0020】ある実施形態では、前記第1の配線層と前記第2の保護絶縁膜との間であって、前記容量素子が形成されている箇所を除く領域に形成された水素供給膜を更に備えている。

【0021】前記第1の配線層が、チタンと窒化チタンとアルミニウムと窒化チタンとの積層膜、チタンと窒化チタンとアルミニウムとの積層膜、チタンとチタンタングステンとアルミニウムとチタンタングステンとの積層膜、或いはチタンとチタンタングステンとアルミニウムとの積層膜であり得る。

【0022】好ましくは、 $3450\text{cm}^{-1}$ に相当する波長に対する前記第2の保護絶縁膜のSi-OH結合吸収係数が $800\text{cm}^{-1}$ 以下である。

【0023】好ましくは、前記第2の保護絶縁膜が、 $1 \times 10^7\text{dyn/cm}^2$ 以上且つ $3 \times 10^9\text{dyn/cm}^2$ 以下のテンサイルストレスを有している。

【0024】好ましくは、前記第2の保護絶縁膜の厚さが $0.3\mu\text{m}$ 以上且つ $1\mu\text{m}$ 以下である。

【0025】前記第2の配線層が、チタンとアルミニウムと窒化チタンとの積層膜、チタンとアルミニウムとの積層膜、或いはチタンとアルミニウムとチタンタングステンとの積層膜であり得る。

【0026】本発明の半導体装置の製造方法は、半導体集積回路が形成されている支持基板の上に、下部電極と容量絶縁膜と上部電極とを順次形成して容量素子を形成

10

20

30

40

50

する工程と、該容量素子を覆うように第1の保護絶縁膜を形成する工程と、該第1の保護絶縁膜に第1のコンタクトホールを形成する工程と、該半導体集積回路及び該容量素子に電氣的に接続する第1の配線層を、該第1のコンタクトホールの中と該第1の保護絶縁膜の上の所定の領域とに選択的に形成する工程と、該第1の配線層を覆う第2の保護絶縁膜をオゾンTEOS膜から形成する工程と、該第2の保護絶縁膜に第1の熱処理を施す工程と、該第2の保護絶縁膜に第2のコンタクトホールを形成する工程と、該第1の配線層に電氣的に接続する第2の配線層を、該第2のコンタクトホールの中と該第2の保護絶縁膜の上の所定の領域とに選択的に形成する工程と、該第2の配線層に第2の熱処理を施す工程と、該第2の配線層を覆う第3の保護絶縁膜を形成する工程と、を包含しており、そのことによって、前述の目的が達成される。

【0027】ある実施形態では、前記容量絶縁膜を、高誘電率を有する誘電体膜、或いは強誘電体膜から形成する。

【0028】ある実施形態では、前記第2の配線層をマスクとして使用して、前記第2の保護絶縁膜を、前記第1の配線層が露出しない程度までエッチバックする工程を更に含む。

【0029】ある実施形態では、前記第2の配線層を、前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜の上に形成する。

【0030】ある実施形態では、前記第3の保護絶縁膜を酸化シリコン膜と窒化シリコン膜との積層膜として形成し、該酸化シリコン膜を、常圧CVD法、減圧CVD法、或いはプラズマCVD法によって、シラン、ジシラン、或いはオゾンTEOSを用いて、テンサイルストレスを有するように形成する。

【0031】ある実施形態では、前記第1の配線層の形成後に、前記容量素子が形成されている領域を除く該第1の配線層の上に水素供給膜を形成し、その後第3の熱処理を施す工程を更に含む。

【0032】前記水素供給膜を、プラズマCVD法によって窒化シリコン膜或いは窒化酸化シリコン膜から形成し得る。

【0033】好ましくは、前記水素供給膜の形成後の前記第3の熱処理が、300℃以上且つ450℃以下の温度で実施される。

【0034】好ましくは、前記水素供給膜の形成後の前記第3の熱処理が、酸素、窒素、アルゴン、或いはこれらの混合ガスの雰囲気中で実施される。

【0035】前記第1の保護絶縁膜を、常圧CVD法或いは減圧CVD法によってシラン、ジシラン、或いはオゾンTEOSを用いて形成された酸化シリコン膜によって構成し得る。

【0036】前記第1の保護絶縁膜を、常圧CVD法或

いは減圧CVD法によって形成されたリンドープ酸化シリコン膜によって構成し得る。

【0037】好ましくは、前記オゾンTEOS膜を用いて前記第2の保護絶縁膜を形成する際のオゾン濃度を5、5%以上に設定する。

【0038】好ましくは、前記第1の熱処理後の前記第2の保護絶縁膜が $1 \times 10^7 \text{ dyn/cm}^2$ 以上且つ $2 \times 10^9 \text{ dyn/cm}^2$ 以下のテンサイルストレスを有している。

10 【0039】好ましくは、前記第1の熱処理が、300℃以上且つ450℃以下の温度で実施される。

【0040】好ましくは、前記第1の熱処理が、少なくとも酸素を含む雰囲気中で実施される。

【0041】好ましくは、前記第2の熱処理が、300℃以上且つ450℃以下の温度で実施される。

【0042】好ましくは、前記第2の熱処理が、窒素、アルゴン、及びヘリウムのうちの少なくとも1つを含む雰囲気中で実施される。

20 【0043】上述の本発明によれば、成膜時にセルフリフローするオゾンTEOS膜を用いて第2の保護絶縁膜を形成することによって、容量素子の上方に相当する箇所であっても第2の保護絶縁膜を厚くせずに（具体的には、約1μm以下の厚さで）、段差を生じさせずにその上面を十分に滑らかにして、十分なステップカバレッジを得ることができる。このように形成される第2の保護絶縁膜が薄くて良いので、本発明によれば、形成される容量素子へ作用するストレスが低減される。

30 【0044】更に、オゾンTEOS膜を利用すれば、作用するストレスの向きがテンサイルストレスであるので、ストレスに起因した容量素子の特性劣化が抑制される。

【0045】第2の配線層を、容量素子の少なくとも一部を覆うように第2の保護絶縁膜の上に形成すれば、第3の保護絶縁膜から容量素子に作用するストレスを、容量素子の上に形成された第2の配線層によって相殺することができるので、容量素子へ作用するストレスが低減される。

40 【0046】第3の保護絶縁膜を酸化シリコン膜と窒化シリコン膜との積層膜とすれば、成膜時に酸化シリコン膜が有するストレスがテンサイルストレスであるので、その上に、プラズマCVDで形成された大きなコンプレッションストレスを有する窒化シリコン膜を形成することによって、第3の保護絶縁膜に印加されるストレスが相殺されて、結果的に、容量素子へ作用するストレスの影響が低減される。

50 【0047】また、上記のような水素供給膜を設ければ、その水素供給膜のアニール処理（熱処理）によって、その中に含まれている水素を半導体集積回路が形成されている支持基板に至るまで熱拡散させて、支持基板（半導体集積回路）が製造プロセス中で受けたダメージ

を回復させることができる。上記の水素供給膜としては、十分な水素を含有している窒化シリコン膜或いは窒化酸化シリコン膜を利用することができる。また、水素供給膜の形成後の上記アニール処理（熱処理）を、酸素、窒素、アルゴン、或いはこれらの混合ガスの雰囲気中で実施すれば、水素の熱拡散がスムーズに行われる。

【0048】第1の配線層及び/或いは第2の配線層を上記のような積層膜で形成すれば、構成材料の突き抜けなどが生じない高信頼性の配線層を得ることができる。

【0049】第2の保護絶縁膜であるオゾンTEOS膜において、 $3450\text{ cm}^{-1}$ に相当する波長に対するSi-OH結合吸収係数が $800\text{ cm}^{-1}$ 以下であれば、オゾンTEOS膜の中の含有水分量をできるだけ少なくすることができ、容量素子への水分（特にOH基やH基）の侵入や成膜工程後の熱処理によるクラックの発生を抑制することができる。

【0050】第2の保護絶縁膜であるオゾンTEOS膜が有するストレスが $1 \times 10^7\text{ dyn/cm}^2$ 以上且つ $3 \times 10^9\text{ dyn/cm}^2$ 以下のテンサイルストレスであれば、このオゾンTEOS膜から容量素子に印加されるストレスに起因する容量素子への悪影響（例えば、分極の発生的好ましくない抑制）が低減されて、容量素子の特性が向上される。なお、この効果は、ストレスがテンサイルストレスであることに依ることが大きく、仮にストレスの絶対量が同じであっても、プラズマTEOS膜で発生するようなコンプレッションストレスの場合に比べて、本発明のようなオゾンTEOS膜の場合に、容量素子はより好ましい特性を発揮する。

【0051】また、第2の保護絶縁膜（オゾンTEOS膜）の厚さを $0.3\text{ }\mu\text{m}$ ～ $1\text{ }\mu\text{m}$ の範囲に設定して薄膜化することによっても、オゾンTEOS膜の内部ストレスの低減、及びそこから容量素子に印加されるストレスの低減が実現されて、容量素子の特性が向上される。また、第2の配線層をマスクとする第2の保護絶縁膜のエッチバックを行えば、容量素子の上方の領域（通常は第2の配線層が形成されない領域である）に相当する第2の保護絶縁膜を更に薄膜化（例えば $0.5\text{ }\mu\text{m}$ 以下）することができ、上記のストレス低減効果及びストレスに起因する特性劣化の抑制効果が、更に向上する。

【0052】また、第2の保護絶縁膜としてのオゾンTEOS膜の形成時のオゾン濃度を5.5%以上と高く設定すれば、形成されるオゾンTEOS膜のストレスが低減されると共に、その水分含有量が低減され、更には熱処理時のクラックの発生も抑制されて、容量素子の特性が向上される。

【0053】第1の保護絶縁膜を、常圧CVD法或いは減圧CVD法によってシラン、ジシラン、或いはオゾンTEOS膜を用いて形成された酸化シリコン膜によって、或いは、常圧CVD法或いは減圧CVD法によって形成されたリンドープ酸化シリコン膜によって構成す

ば、信頼性のある保護絶縁膜が形成される。

【0054】第2の保護絶縁膜（オゾンTEOS膜）に対する熱処理（第1の熱処理）を $300^\circ\text{C}$ 以上且つ $450^\circ\text{C}$ 以下の温度で実施すれば、オゾンTEOS膜の緻密化が図れる。また、上記の熱処理を酸素を含む雰囲気中に行えば、容量絶縁膜への酸素の供給が実現されて、容量素子の特性が向上される。

【0055】一方、第2の配線層に対する熱処理（第2の熱処理）を、好ましくは上記の条件で行えば、第2の配線層の緻密化及び低ストレス化が達成される。

【0056】

【発明の実施の形態】

（第1の実施形態）図1（a）～（e）は、本発明の第1の実施形態における半導体装置100の製造方法の各工程を説明する断面図である。

【0057】まず、図1（a）に示すように、シリコンなどの材料からなる支持基板1の上に、ゲート電極1及びソース/ドレイン領域3を有するMOSFETなどを含む集積回路4と、素子分離用の絶縁層5とを、形成する。それらの上には層間絶縁膜6を形成し、更にその上には、容量素子10の下部電極7となる膜を、スパッタ法或いは電子ビーム蒸着法で形成する。続いて、その上に、高誘電体或いは強誘電体で形成された容量絶縁膜8を、有機金属堆積法、有機金属化学気相成長法、或いはスパッタ法で、更にその上に上部電極9となる膜をスパッタ法或いは電子ビーム蒸着法で、順次形成する。その後、上記の積層された膜7、8、及び9を所望の形状にパターニングして、容量素子10を形成する。

【0058】なお、層間絶縁膜6の形成を省略して、容量素子10を素子分離用絶縁膜5の上に直接に形成しても良い。これは、以下に説明する各実施形態でも、同様である。

【0059】容量素子10の下部電極7及び上部電極9は、白金、パラジウム、ルテニウム、酸化ルテニウム、イリジウム、或いは酸化イリジウムなどを用いて形成することができる。また、容量絶縁膜8を高誘電体材料を用いて構成する場合には、その比誘電率が20～500であるような材料を使用し得る。或いは、容量絶縁膜8を強誘電体材料を用いて構成する場合には、外部から電圧を印加しなくても分極（残留分極：remnant polarization）を有する材料を使用し得る。具体的には、容量絶縁膜8を構成する高誘電体材料或いは強誘電体材料として、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 、 $\text{SrTiO}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Ta}_x\text{Nb}_{1-x}\text{O}_9$ 等が使用され得る。

【0060】次に、図1（b）に示すように、容量素子10を覆う第1の保護絶縁膜111として、オゾンを含む常圧雰囲気下でのガス状TEOSを原料ガスとして用いた熱CVD法により、酸化シリコン膜111（以下では、「オゾンTEOS膜」と称する）を層間絶縁膜6の

上に形成する。そして、第1の保護絶縁膜111を貫通して容量素子10の下部電極7或いは上部電極9に至るコンタクトホール12、並びに第1の保護絶縁膜111と層間絶縁膜6とを貫通してソース/ドレイン領域3などに達するコンタクトホール13を、それぞれ形成する。そして、チタンと窒化チタンとアルミニウムと窒化チタンとの積層膜を、第1の保護絶縁膜111の上とコンタクトホール12及び13の中とにスパッタ法などによって形成し、更に所定の形状にパターニングして、集積回路4と容量素子10とに電気的に接続する第1の配線層14を形成する。

【0061】次に、図1(c)に示すように、第1の配線層14が形成された第1の保護絶縁膜111の上であって容量素子10の形成箇所を除く領域に、集積回路4に水素を供給するための水素供給膜19をプラズマCVD法によって形成する。その後、水素供給膜19の中の水素を熱拡散させるために、約450℃で約1時間に渡って酸素雰囲気中でアニール処理する。この水素供給膜19は、例えば窒化シリコン膜或いは窒化酸化シリコン膜で形成され、その中に十分な水素量を有している。

【0062】上記アニール処理は、水素供給膜19から集積回路4が作り込まれた支持基板1まで、熱拡散によって水素を到達させて、集積回路4が容量絶縁膜の形成時に必要な600℃以上の温度での酸素アニール工程中にコンタクト13を形成するためのドライエッチング工程で受けたダメージを回復させるために実施されるものであって、その処理温度は、約300℃以上且つ約450℃以下であれば良い。また、酸素雰囲気中に代えて、窒素雰囲気或いはアルゴン雰囲気、または、酸素と窒素及び/或いはアルゴンとの混合ガスなどの酸素を含む混合ガス雰囲気の中で、アニール処理を行っても良い。

【0063】次に、第1の配線層14を被覆する第2の保護絶縁膜151としてのオゾンTEOS膜を、これまでに形成された構造の上に形成する。オゾンTEOS膜は、成膜時にセルフリフローし、且つ薄膜でありながら、段差を有さず且つその上面が十分に滑らかな、良好なステップカバレッジ特性を有する第2の保護絶縁膜151を、形成することが可能である。

【0064】上記の点を、図11(a)及び(b)を参照して更に説明する。

【0065】図11(a)は、従来のプラズマCVD法によって、基板表面51に形成されている配線パターン50を覆う酸化シリコン膜(プラズマTEOS膜)15を形成した場合の断面形状を、模式的に示している。一方、図11(b)は、本発明のようにオゾンを含む雰囲気中での熱CVD法によって、基板表面51に形成されている配線パターン50を覆う酸化シリコン膜(オゾンTEOS膜)151を形成した場合の断面形状を、模式的に示している。

【0066】プラズマCVDでは、プラズマ中(気相

中)で固体状の酸化シリコン粒が形成されて、それが基板表面51や配線パターン50の表面に付着する。従って、その付着確率は何れの場所でも均等であって、結果として、形成されるプラズマTEOS膜15は、配線パターン50の上に相当する領域52でも、隣接する配線パターン50の間に相当する領域53でも、ほぼ同じ厚さとなる。従って、形成されるプラズマTEOS膜15の上面を滑らかにしようとするれば、プラズマTEOS膜15を厚く形成する必要が生じる。

【0067】それに対して、オゾンを含む雰囲気中での熱CVD法では、原料ガスであるガス状TEOSが基板表面51や配線パターン50の表面で酸素と反応して、酸化シリコンが形成される。このとき、この反応は、配線パターン50の上に相当する領域52に比べて、隣接する配線パターン50の間に相当する領域53で、より発生し易い。従って、形成されるオゾンTEOS膜151は、まず領域53を埋めるように形成され、その後次第に領域52に広がる(セルフリフローする)。従って、オゾンTEOS膜151は、比較的薄くても、その上面が滑らかになる。

【0068】例えば、このオゾンTEOS膜からなる第2の保護絶縁膜151の上に第2の配線層17を断線せずに形成するために必要な第2の保護絶縁膜151の厚さは、容量素子10の上部電極9の上に形成された第1の配線層14の上部では、 $h_1$ (図1(c)参照)=約0.8 $\mu\text{m}$ となり、高誘電体膜或いは強誘電体膜で構成された容量絶縁膜8のエッジ部の上に形成された第1の保護絶縁膜111の上では、 $h_4$ (図1(c)参照)=約0.5 $\mu\text{m}$ となる。従って、従来技術におけるプラズマTEOS膜によって第2の保護絶縁膜を形成する場合に比べて、かなりの薄膜化を達成しながら十分なステップカバレッジ特性を達成することが可能になる。

【0069】なお、上記のプロセスにおけるオゾンは、活性な元素として、より低温での酸化シリコンの形成反応を可能にする。

【0070】続いて、第1の熱処理として、約450℃で約1時間に渡って酸素雰囲気中でアニール処理を行って、第2の保護絶縁膜151であるオゾンTEOS膜を緻密化させるとともに、容量素子10に酸素を供給する。

【0071】その後、図1(d)に示すように、第2の保護絶縁膜151を貫通して第1の配線層14に至るコンタクトホール16を形成する。そして、チタンとアルミニウムと窒化チタンとの積層膜を、第2の保護絶縁膜151の上とコンタクトホール16の中とにスパッタ法などによって形成し、更に所定の形状にパターニングして、第1の配線層14に電気的に接続する第2の配線層17を形成する。その後、第2の熱処理として約400℃で約30分間に渡って窒素雰囲気中でアニール処理を行い、第2の配線層17を緻密化且つ低ストレス化



する。

【0072】最後に、図1(e)に示すように、第2の配線層17を覆う第3の保護絶縁膜18として、プラズマCVD法による窒化シリコン膜をこれまでに形成された構造の上に形成する。以上の工程によって、本発明の第1の実施形態における半導体装置100が形成される。

【0073】以上のように、第2の保護絶縁膜151としてオゾンTEOS膜を使用する本実施形態の半導体装置100の構成によれば、十分なステップカバレッジが得られるので、第2の保護絶縁膜151のうちで容量素子10の上に位置する箇所の厚さを薄くすることができる。これによって、容量素子10に作用するストレスが、低減される。

【0074】なお、上記の説明で設けている水素供給膜19は、製造プロセス中に集積回路4がダメージを受けない場合には、その形成を省略することができる。その場合の半導体装置150の構成(断面図)を、図2に示す。この図2に示される構成であっても、容量素子10の特性は、図1(a)~(e)を参照して説明したプロセスで製造される構成を有する半導体装置100の特性と、同等になる。なお、図2の構成において、図1(a)~(e)に示したものと同一構成要素には同じ参照番号を付しており、その説明はここでは省略する。

【0075】先にも述べたように、上述の製造プロセスにおけるオゾンTEOSの形成は、原料ガスとしてのガス状TEOSとオゾンとを同時に供給することによって基板上に酸化シリコン膜を形成する熱CVD法であり、形成時のプラズマ励起は必要とされない。

【0076】図3は、上述のようにオゾンTEOS膜からなる第2の保護絶縁膜151を使用する場合、及び従来技術のようにプラズマTEOS膜からなる第2の保護絶縁膜を使用する場合の各々について、 $\text{SrBi}_2\text{Ta}_2\text{O}_6$ 膜を容量絶縁膜8として形成される容量素子10の特性(具体的には、残留分極量及び絶縁耐圧)を比較する図である。なお、図3のデータの測定にあたって、従来技術に係わるプラズマTEOS膜としては、まず3.4 $\mu\text{m}$ の厚さまで成膜した後に、レジストエッチバック法によって1.5 $\mu\text{m}$ まで薄くして形成した。一方、本発明の第1の実施形態に係わるオゾンTEOS膜は、エッチバック法を使用することなく厚さ1 $\mu\text{m}$ に形成した。

【0077】なお、図3のデータの測定において、残留分極量は、電極面積が23 $\mu\text{m}^2$ であって個々が上述した構造を有する容量素子を110個並列に接続したサンプルを作成し、RT6000A Ferroelectric Testerによって測定を行った。一方、絶縁耐圧は、上記のサンプルに対して、HP4195Bによって測定を行った。

【0078】図3より、従来技術に係わるプラズマTEOS膜を使用する場合、形成された容量素子の残留分極

量が3 $\mu\text{C}/\text{cm}^2$ 、絶縁耐圧が7Vであったのに対して、本発明に係わるオゾンTEOS膜を使用する場合、形成された容量素子の残留分極量が10 $\mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧が30Vであった。これより、本発明の第1の実施形態によれば、残留分極量に関しては7 $\mu\text{C}/\text{cm}^2$ 、絶縁耐圧に関しては23Vの向上が実現された。

【0079】(第2の実施形態)図4(a)~(e)は、本発明の第2の実施形態における半導体装置200の製造方法の各工程を説明する断面図である。本実施形態では、第1の実施形態とは異なり、オゾンTEOS膜による第2の保護絶縁膜151を形成した後に、第2の配線層17をマスクとして使用して、第2の保護絶縁膜151の所定箇所を選択的にエッチバックしている。

【0080】まず、図4(a)~(c)に示す各工程を実施する。但し、これらの各工程は、第1の実施形態において図1(a)~(c)を参照して説明した工程と同様である。対応する構成要素には同じ参照番号を付しており、その説明はここでは省略する。

【0081】図4(a)~(c)に示す各工程の実施後に、図4(d)に示すように、第2の保護絶縁膜151を貫通して第1の配線層14に至るコンタクトホール16を形成する。そして、チタンとアルミニウムと窒化チタンとの積層膜を、第2の保護絶縁膜151の上とコンタクトホール16の中とにスパッタ法などによって形成し、更に所定の形状にパターニングして、第1の配線層14に電気的に接続する第2の配線層17を形成する。

【0082】その後、第2の配線層17をマスクとして使用して、第2の保護絶縁膜151を、第1の配線層14が露出しない程度までエッチバックする。その後、第2の熱処理として、約400°Cで約30分間に渡って窒素雰囲気中でアニール処理を行って、第2の配線層17を緻密化且つ低ストレス化する。

【0083】最後に、図4(e)に示すように、第2の配線層17を覆う第3の保護絶縁膜18として、プラズマCVD法による窒化シリコン膜をこれまでに形成された構造の上に形成する。以上の工程によって、本発明の第2の実施形態における半導体装置200が形成される。

【0084】一般に、第2の配線層17は、第2の保護絶縁膜151のうちで容量素子10の上に位置する箇所には形成されない。従って、以上のように、第2の保護絶縁膜151としてオゾンTEOS膜を使用し、且つ、第2の配線層17をマスクとして上記のオゾンTEOS膜からなる第2の保護絶縁膜151をエッチバックして得られる本実施形態の半導体装置200の構成によれば、第2の保護絶縁膜151のうちで容量素子10の上に位置する箇所の厚さを、第1の実施形態の半導体装置100の構成に比べて更に薄くすることができる。これによって、容量素子10に作用するストレスが、更に低



減される。

【0085】図5は、上述のようにオゾンTEOS膜からなる第2の保護絶縁膜151をエッチバックする場合、及び第1の実施形態のようにオゾンTEOS膜からなる第2の保護絶縁膜151をエッチバックしない場合の各々について、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜を容量絶縁膜8として形成される容量素子10の特性（具体的には、残留分極量及び絶縁耐圧）を比較する図である。図5のデータの測定にあたって、オゾンTEOS膜からなる第2の保護絶縁膜151は、まず1 $\mu\text{m}$ の厚さまで成膜した。エッチバックする場合には、その後0.5 $\mu\text{m}$ まで薄くし、エッチバックしない場合には、そのままの厚さを保った。また、残留分極量及び絶縁耐圧の測定方法・条件は、図3のデータの測定時と同様である。

【0086】図5より、本実施形態のように第2の保護絶縁膜151のエッチバック処理を伴う場合には、第1の実施形態におけるエッチバック処理を伴わない場合の特性（残留分極量10 $\mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧30V）に対して、残留分極量が12 $\mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧が40Vであった。これより、本発明の第2の実施形態によれば、第1の実施形態に比べて、更に残留分極量に関しては2 $\mu\text{C}/\text{cm}^2$ 、絶縁耐圧に関しては10Vの向上が実現された。

【0087】（第3の実施形態）図6（a）～（e）は、本発明の第3の実施形態における半導体装置300の製造方法の各工程を説明する断面図である。本実施形態では、第1或いは第2の実施形態とは異なり、第1の配線層14に電気的に接続される第2の配線層17を、更に容量素子10の上方に相当する領域に容量素子10を覆うように、第2の保護絶縁膜151の上に形成している。

【0088】まず、図6（a）～（c）に示す各工程を実施する。但し、これらの各工程は、第1の実施形態において図1（a）～（c）を参照して説明した工程と同様である。対応する構成要素には同じ参照番号を付しており、その説明はここでは省略する。

【0089】図6（a）～（c）に示す各工程の実施後に、図6（d）に示すように、第2の保護絶縁膜151を貫通して第1の配線層14に至るコンタクトホール16を形成する。そして、チタンとアルミニウムと窒化チタンとの積層膜を、第2の保護絶縁膜151の上とコンタクトホール16の中とに、スパッタ法などによって形成する。更に、この積層膜を所定の形状にパターンニングして、第1の配線層14に電気的に接続する第2の配線層17を形成する。このとき、容量素子10の上方に相当する領域を全面的に覆うように、第2の配線層17をパターンニングする。

【0090】その後、第2の配線層17をマスクとして使用して、第2の保護絶縁膜151を、第1の配線層14が露出しない程度までエッチバックする。但し、こ

のエッチバック処理は、図6（d）及び図（e）に示す例のように、省略可能である。その後、第2の熱処理として、約400℃で約30分間に渡って窒素雰囲気中でアニール処理を行って、第2の配線層17を緻密化且つ低ストレス化する。

【0091】最後に、図6（e）に示すように、第2の配線層17を覆う第3の保護絶縁膜18として、プラズマCVD法による窒化シリコン膜をこれまでに形成された構造の上に形成する。以上の工程によって、本発明の第2の実施形態における半導体装置300が形成される。

【0092】以上のように、第2の配線層17を容量素子10の上方の領域を全面的に覆うように第2の保護絶縁膜151の上に形成すると、第3の保護絶縁膜18から容量素子10に加えられるストレスが、第2の配線層17のうちで容量素子10の上方に位置する部分によって相殺される。この結果、容量素子10に作用するストレスが、更に十分に低減される。

【0093】図7は、上述のように、第2の保護絶縁膜151の上の第2の配線層17を容量素子10の上方を覆うように設けている場合、及び、第1の実施形態のように、容量素子10の上方には第2の配線層17を設けない場合の各々について、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜を容量絶縁膜8として形成される容量素子10の特性（具体的には、残留分極量及び絶縁耐圧）を比較する図である。なお、図7のデータの測定にあたって、オゾンTEOS膜からなる第2の保護絶縁膜151としては、何れも厚さ1 $\mu\text{m}$ に形成した。また、残留分極量及び絶縁耐圧の測定方法・条件は、図3のデータの測定時と同様である。

【0094】図7より、本実施形態のように第2の保護絶縁膜151の上の第2の配線層17を容量素子10の上方を覆うように設けている場合には、第1の実施形態における容量素子10の上方に第2の配線層17が存在しない場合の特性（残留分極量10 $\mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧30V）に対して、残留分極量が14 $\mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧が40Vであった。これより、本発明の第3の実施形態によれば、第1の実施形態に比べて、更に残留分極量に関しては4 $\mu\text{C}/\text{cm}^2$ 、絶縁耐圧に関しては10Vの向上が実現された。

【0095】なお、上記の第3の実施形態の説明では、容量素子10の上方を全面的に覆うように第2の配線層17を形成しているが、その代わりに、容量素子10の上方の少なくとも一部を覆うように第2の配線層17を形成すれば、上記と同様の効果が得られる。例えば、図8（a）の上面図（図6（e）で得られる構成の上面図）に示すように、第2の保護絶縁膜151の上の第2の配線層17を容量素子10の上方を全面的に覆うように設ける代わりに、図8（b）の上面図に示すように、第2の配線層17を容量素子10の上方の領域にジグザ

ク状に形成したり、或いは図 8 (c) の上面図に示すように、第 2 の配線層 17 を容量素子 10 の上方の領域にメッシュ状に形成しても良い。

【0096】以上の説明した第 1～第 3 の実施形態の何れか 2 つ、或いは全 3 つを組み合わせても、可能である。

【0097】また、以上の説明では、第 3 の保護絶縁膜 18 として窒化シリコン膜を使用しているが、これに代えて酸化シリコン膜と窒化シリコン膜との積層膜を使用すれば、容量素子 10 の特性が更に向上される。具体的には、酸化シリコン膜を、テンサイルストレスを有する状態で形成し、その上に、一般に大きなコンプレッシブ

ストレスを有する窒化シリコン膜を形成することによって、第 3 の保護絶縁膜 18 のストレスを、全体的に相殺することが可能になる。これによって、ストレスの影響が、容量素子 10 にまで及ばされなくなる。

【0098】なお、上記の第 3 の保護絶縁膜 18 としての酸化シリコン膜と窒化シリコン膜との積層膜は、シランガスをを用いた常圧 CVD 法、減圧 CVD 法、或いはプラズマ CVD 法によって形成され得る。また、オゾン T

EOS をを用いた酸化シリコン膜を常圧 CVD 法或いは減圧 CVD 法によって形成し、その上にプラズマ CVD 法によって窒化シリコン膜を形成しても良い。

【0099】図 9 は、第 3 の保護絶縁膜 18 として単層の窒化シリコン膜を形成している場合、及び、上述のように酸化シリコン膜と窒化シリコン膜との積層膜を形成している場合の各々について、 $\text{SrBi}_2\text{Ta}_2\text{O}_6$  膜を容量絶縁膜 8 として形成される容量素子 10 の特性（具体的には、残留分極量及び絶縁耐圧）を比較する図である。なお、図 9 のデータの測定にあたって、第 3 の保護

絶縁膜 18 を単層の窒化シリコン膜で形成した場合には、プラズマ CVD 法で厚さ  $0.8 \mu\text{m}$  に形成した。一方、第 3 の保護絶縁膜 18 を酸化シリコン膜と窒化シリコン膜との積層膜として形成した場合には、まず常圧 CVD 法で厚さ  $0.1 \mu\text{m}$  の酸化シリコン膜を形成し、その上にプラズマ CVD 法で厚さ  $0.8 \mu\text{m}$  の窒化シリコン膜を形成した。また、残留分極量及び絶縁耐圧の測定方法・条件は、図 3 のデータの測定時と同様である。

【0100】図 9 より、第 3 の保護絶縁膜 18 が酸化シリコン膜と窒化シリコン膜との積層膜である場合には、

第 3 の保護絶縁膜 18 が単層の窒化シリコン膜である場合の特性（残留分極量  $10 \mu\text{C}/\text{cm}^2$ 、及び絶縁耐圧  $30 \text{V}$ ）に対して、残留分極量は同じレベルであるものの絶縁耐圧が  $40 \text{V}$  に向上した。これより、第 3 の保護絶縁膜 18 を酸化シリコン膜と窒化シリコン膜との積層膜とすることによって、第 1 の実施形態に比べて、絶縁耐圧に関しては  $10 \text{V}$  の向上が実現された。

【0101】このような積層膜としての第 3 の保護絶縁膜 18 は、これまでに述べた第 1～第 3 の実施形態の各構成に組み合わせることが可能である。

【0102】上記の各実施形態の説明では、第 1 の保護絶縁膜 11 としてオゾン TEO S 膜を用いているが、常圧 CVD 法或いは減圧 CVD 法によってシラン或いはジシランを用いて形成した酸化シリコン膜、或いは、それに更にリンドープ処理を施した酸化シリコン膜を用いることも、可能である。

【0103】また、上記の各実施形態の説明では、第 1 の配線層 14 としてチタンと窒化チタンとアルミニウムと窒化チタンとの積層膜を用いているが、その他に、チタンと窒化チタンとアルミニウムとの積層膜、チタンとチタタンタングステンとアルミニウムとチタタンタングステンとの積層膜、或いはチタンとチタタンタングステンとアルミニウムとの積層膜を使用することも、可能である。

【0104】本発明における第 2 の保護絶縁膜 15 1 であるオゾン TEO S 膜は、 $3450 \text{cm}^{-1}$  に相当する波長に対する  $\text{Si}-\text{OH}$  結合吸収係数が、 $800 \text{cm}^{-1}$  以下であることが望ましい。このようにオゾン TEO S 膜の中の含有水分量をできるだけ少なくすると、容量素子 10 の特性劣化の原因となる水分、特に OH 基や H 基の容量素子 10 への侵入を抑制し、成膜工程後の熱処理によるクラックの発生を抑制することができる。これによって、容量素子 10 の特性が更に向上される。本発明における第 2 の保護絶縁膜 15 1 であるオゾン TEO S 膜が有するストレスは、 $1 \times 10^7 \text{dyn}/\text{cm}^2$  以上且つ  $3 \times 10^9 \text{dyn}/\text{cm}^2$  以下のテンサイルストレスであることが望ましい。これにより、オゾン TEO S 膜から容量素子に印加されるストレスに起因する容量素子への悪影響（例えば、分極の発生 of 好ましくない抑制）が低減されて、容量素子の特性が向上される。この範囲以外のストレスが印加されると、ストレスに起因する容量素子 10 の特性劣化が生じやすい。

【0105】なお、この効果は、ストレスがテンサイルストレスであることに依ることが大きく、仮にストレスの絶対量が同じであっても、プラズマ TEO S 膜で発生するようなコンプレッシブストレスの場合に比べて、本発明のようなオゾン TEO S 膜の場合に、容量素子は、より好ましい特性を発揮する。

【0106】オゾン TEO S 膜におけるストレスがテンサイルストレスであるのは、以下のようなメカニズムによると考えられる。すなわち、成膜時に、基板表面で TEO S ガスとオゾンとが反応して酸化シリコンが形成されるが、この過程で体積の縮小（すなわち、TEO S ガスの体積とオゾンの体積との合計値よりも、形成される酸化シリコン、すなわちオゾン TEO S 膜の体積が小さくなる）が生じる。更に、その後の熱処理によって、形成されたオゾン TEO S 膜の緻密化が生じて、膜が更に縮小する。これによって、オゾン TEO S 膜がテンサイルストレスを有するようになり、これに伴って、下部に位置する容量素子 10 の容量絶縁膜 8 にも同様のテンサイルストレスが作用する。

【0107】これに対して、プラズマTEOS膜の場合には、気相中で形成された固体粒子としての酸化シリコンが堆積するので、基板上での体積縮小が生じない。また、固体状の酸化シリコンは緻密に堆積し、その後膨張しようとする。この結果、プラズマTEOS膜はコンプレッシブストレスを有すると考えられる。容量素子10の容量絶縁膜（誘電体膜）8にコンプレッシブストレスが作用すると、上部電極9と下部電極7とを結ぶ方向の（すなわち、基板に垂直な方向における）分極の発生が抑制され、これによって容量素子の特性の劣化が引き起こされると考えられる。

【0108】更に、本発明における第2の保護絶縁膜151であるオゾンTEOS膜の厚さは、 $0.3\mu\text{m}$ 以上且つ $1\mu\text{m}$ 以下であることが望ましい。オゾンTEOS膜（第2の保護絶縁膜151）の厚さが $1\mu\text{m}$ 以上になると、オゾンTEOS膜が有するストレスが大きくなって、ストレスに起因する容量素子10の特性劣化が生じる可能性が発生し、且つ後工程における第1の熱処理によってクラックが発生しやすくなる。一方、オゾンTEOS膜（第2の保護絶縁膜151）の厚さが $0.3\mu\text{m}$ 以下になると、十分なステップカバレージが得られなくなり、また、第2の配線層17を加工する際のエッチング残さが発生する可能性がある。

【0109】更に、本発明における第2の保護絶縁膜151であるオゾンTEOS膜の成膜時のオゾン濃度は、5.5%以上であることが望ましい。オゾン濃度を5.5%以上に高く設定することによって、オゾンTEOS膜自身のストレスを低減できるとともに、その水分含有量の低減及び熱処理によるクラック発生抑制などの効果を得ることが可能になって、容量素子10の特性が更に向上される。

【0110】上記の説明では、第1の熱処理工程の熱処理温度を $450^{\circ}\text{C}$ としているが、 $300^{\circ}\text{C}$ 以上且つ $450^{\circ}\text{C}$ 以下であればよい。この温度範囲であれば、オゾンTEOSを用いて形成された酸化シリコン膜の緻密化が可能になって、容量素子10の特性が更に向上される。また、第1の熱処理工程の処理雰囲気は、上述の酸素雰囲気に代えて、酸素と他のガスとの混合雰囲気を使用することも可能である。これによって、容量絶縁膜8への酸素の供給が可能になって、容量素子10の特性が更に向上される。

【0111】第1の熱処理工程の実施後には、第2の保護絶縁膜151であるオゾンTEOS膜が、 $1\times 10^7\text{dyn/cm}^2$ 以上且つ $2\times 10^9\text{dyn/cm}^2$ 以下のテンサイルストレスを有していることが望ましい。すなわち、熱処理によってオゾンTEOS膜（第2の保護絶縁膜）151の体積縮小が生じて、そのストレスが上記の範囲内に収まっていれば、容量素子10に作用するストレスが低減され、且つストレスに起因する容量素子の特性劣化の抑制される。

【0112】また、上記の各実施形態の説明では、第2の配線層17としてチタンとアルミニウムと窒化チタンとの積層膜を用いているが、チタンとアルミニウムとの積層膜、或いはチタンとアルミニウムとチタタングステンとの積層膜を使用しても、同様の効果を得ることができる。

【0113】上述の説明では、第2の熱処理工程の熱処理温度を $400^{\circ}\text{C}$ としているが、 $300^{\circ}\text{C}$ 以上且つ $450^{\circ}\text{C}$ 以下であればよい。この温度範囲であれば、第2の配線層17の緻密化及び低ストレス化が可能になる。また、第2の熱処理工程の処理雰囲気を、上述の窒素雰囲気に代えて、アルゴン雰囲気、ヘリウム雰囲気、或いは窒素とこれらのガスとの混合雰囲気としても、同様に第2の配線層17の緻密化及び低ストレス化という効果を得られる。

【0114】

【発明の効果】以上のように、本発明によれば、容量素子に作用するストレスが低減され、且つその方向がテンサイルストレスとなるのでストレスに起因する容量素子の特性劣化が抑制されて、優れた特性を有する容量素子が形成される。この結果、多層配線を使用しても、優れた信頼性を得ることができる。

【図面の簡単な説明】

【図1】（a）～（e）は、本発明の第1の実施形態における半導体装置の製造方法の各工程を説明する断面図である。

【図2】本発明の第1の実施形態における半導体装置の改変された構成を示す断面図である。

【図3】本発明の第1の実施形態における半導体装置に含まれる容量素子の特性を説明する比較図である。

【図4】（a）～（e）は、本発明の第2の実施形態における半導体装置の製造方法の各工程を説明する断面図である。

【図5】本発明の第2の実施形態における半導体装置に含まれる容量素子の特性を説明する比較図である。

【図6】（a）～（e）は、本発明の第3の実施形態における半導体装置の製造方法の各工程を説明する断面図である。

【図7】本発明の第3の実施形態における半導体装置に含まれる容量素子の特性を説明する比較図である。

【図8】（a）は、本発明の第3の実施形態における半導体装置のある構成を示す上面図であり、（b）及び（c）は、本発明の第3の実施形態における半導体装置の改変された構成をそれぞれ示す上面図である。

【図9】本発明の半導体装置に含まれる容量素子の特性を説明する比較図である。

【図10】（a）～（e）は、従来の半導体装置の製造方法の各工程を説明する断面図である。

【図11】（a）は、従来のプラズマCVD法によって、基板表面に形成されている配線パターンを覆う酸化

10

20

30

40

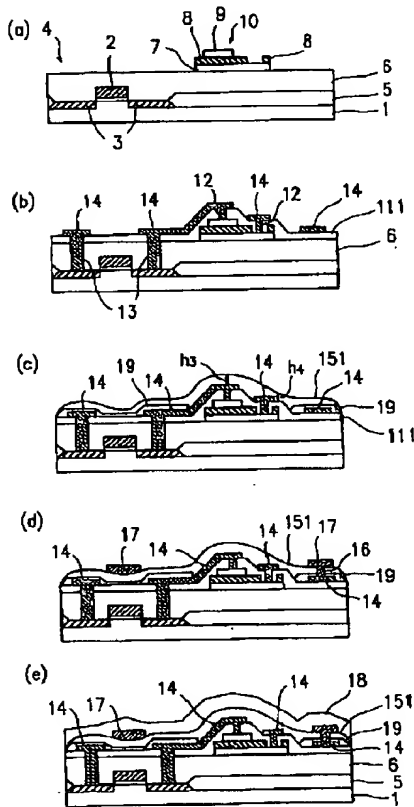
50

シリコン膜（プラズマTEOS膜）を形成した場合の断面形状を、模式的に示す図であり、（b）は、本発明のようにオゾンを含む雰囲気中での熱CVD法によって、基板表面に形成されている配線パターンを覆う酸化シリコン膜（オゾンTEOS膜）を形成した場合の断面形状を、模式的に示す図である。

【符号の説明】

- 1 支持基板
- 2 ゲート
- 3 ソース/ドレイン
- 4 集積回路
- 5 素子分離用絶縁膜
- 6 層間絶縁膜

【図1】



100

\* 7 容量素子の下部電極

8 容量絶縁膜

9 容量素子の上部電極

10 容量素子

12、13、16 コンタクトホール

14 第1の配線層

17 第2の配線層

18 第3の保護絶縁膜

19 水素供給膜

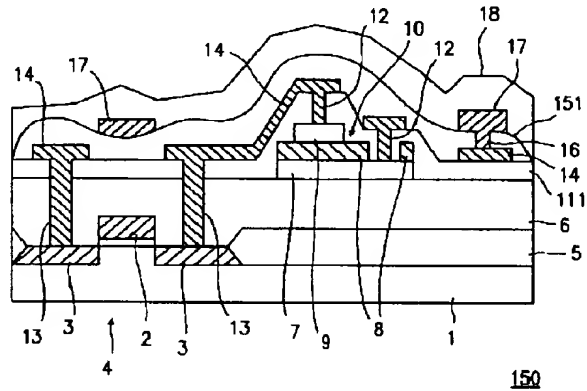
10 111 第1の保護絶縁膜

15 第2の保護絶縁膜（プラズマTEOS膜）

151 第2の保護絶縁膜（オゾンTEOS膜）

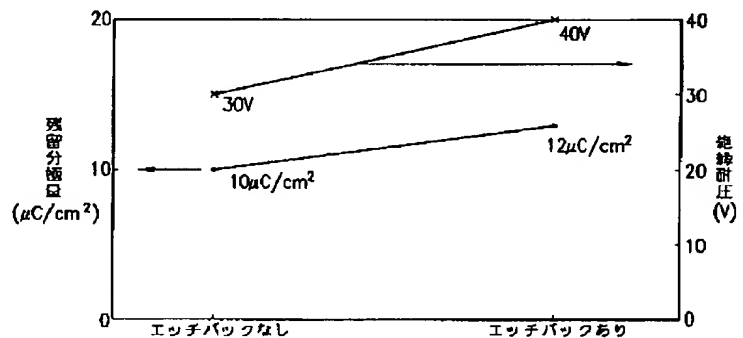
\* 100、150、200、300、500 半導体装置

【図2】

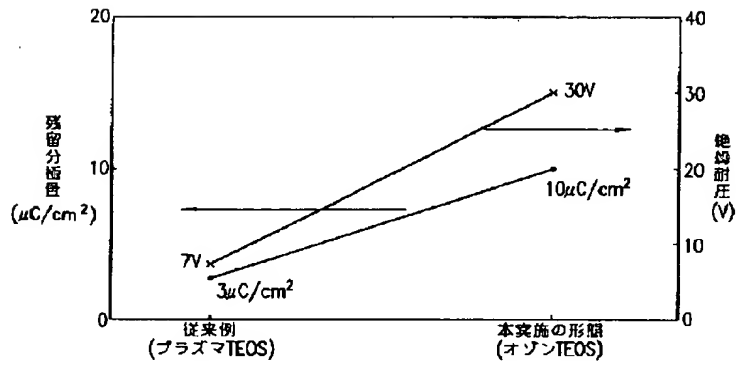


150

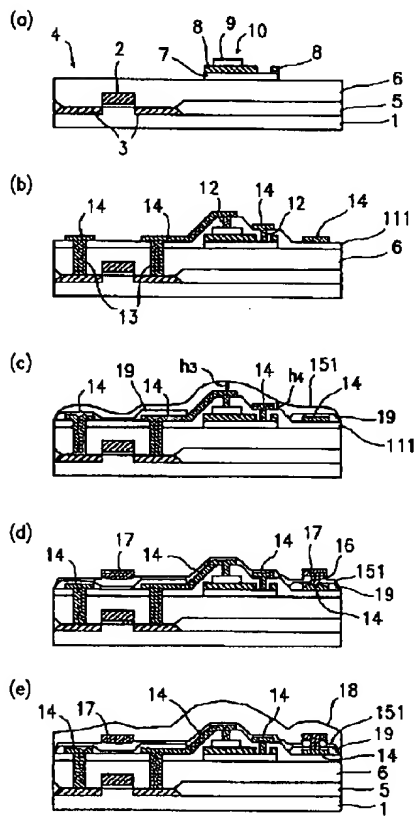
【図5】



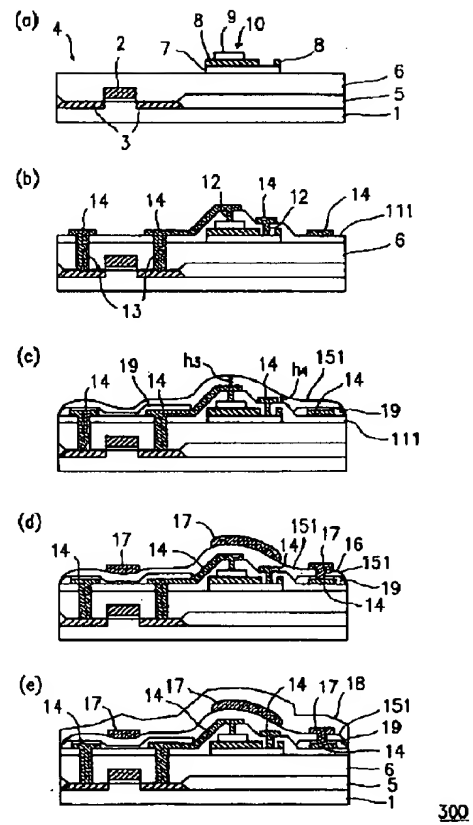
【図 3】



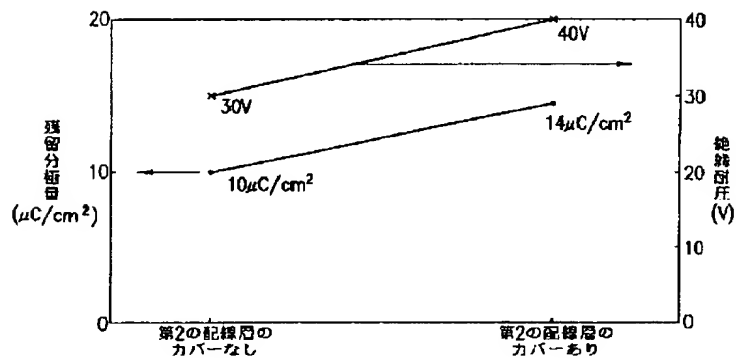
【図 4】



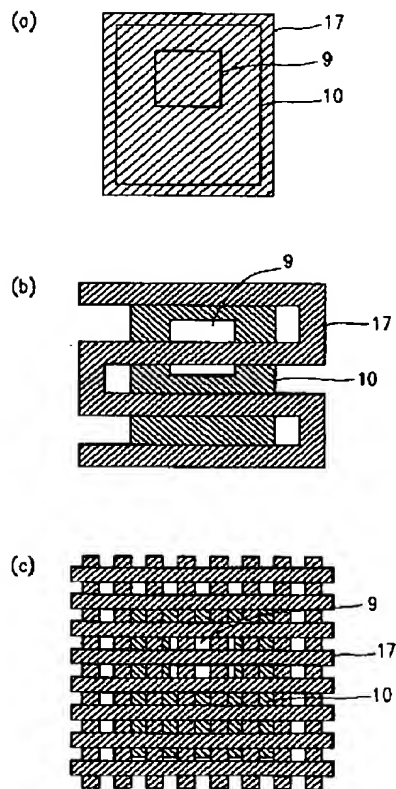
【図 6】



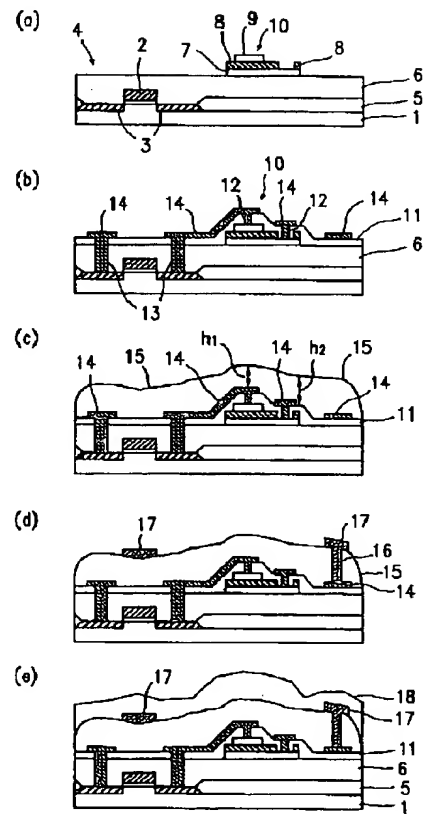
【図 7】



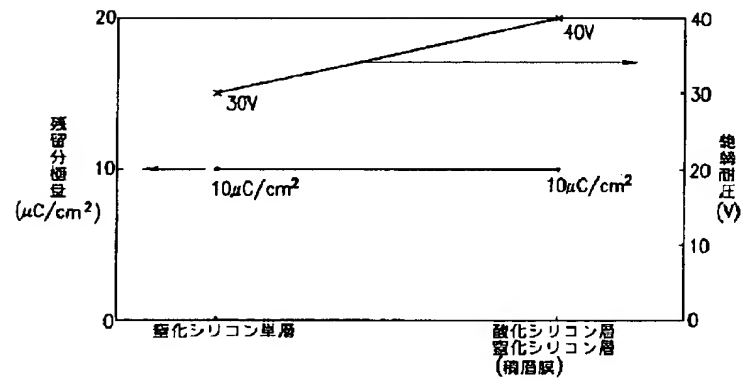
【図 8】



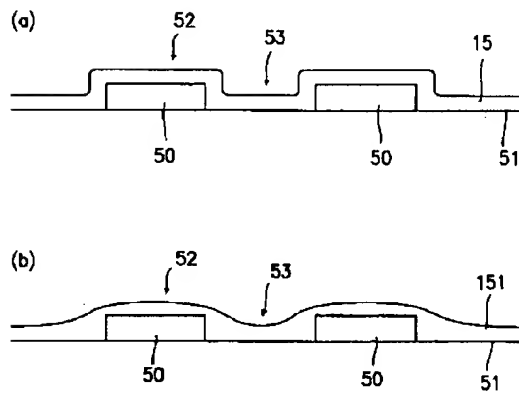
【図 10】



【図 9】



【図 11】



フロントページの続き

(72)発明者 上本 康裕  
大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(72)発明者 藤井 英治  
大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内